

Una introducción a las FPGAs

Por:

Carlos A. Fajardo

cafajar@uis.edu.co



Diseño de hardware digital

- Área – Consumo de Potencia
- Velocidad: Frecuencia Máxima y Throughput
- Time to Market: Tiempo que me lleva poner en el mercado un diseño digital.

Tres posibles implementaciones

1. System on Chip (SoC)

- Área – Consumo de potencia
- Velocidad – Frecuencia Máxima
- Time-to-Market



2. Microcontrolador – DSP - GPU:

- Área – Consumo de potencia
- Velocidad – Frecuencia Máxima
- Time-to-Market



3. FPGA:

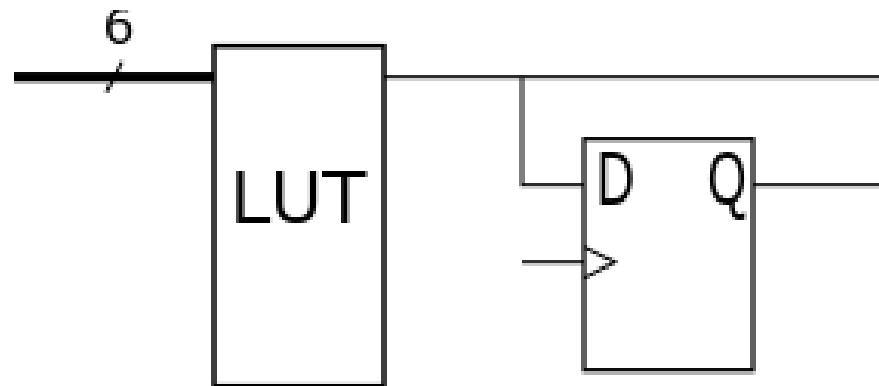
- Área – Consumo de potencia
- Velocidad – Frecuencia Máxima
- Time-to-Market



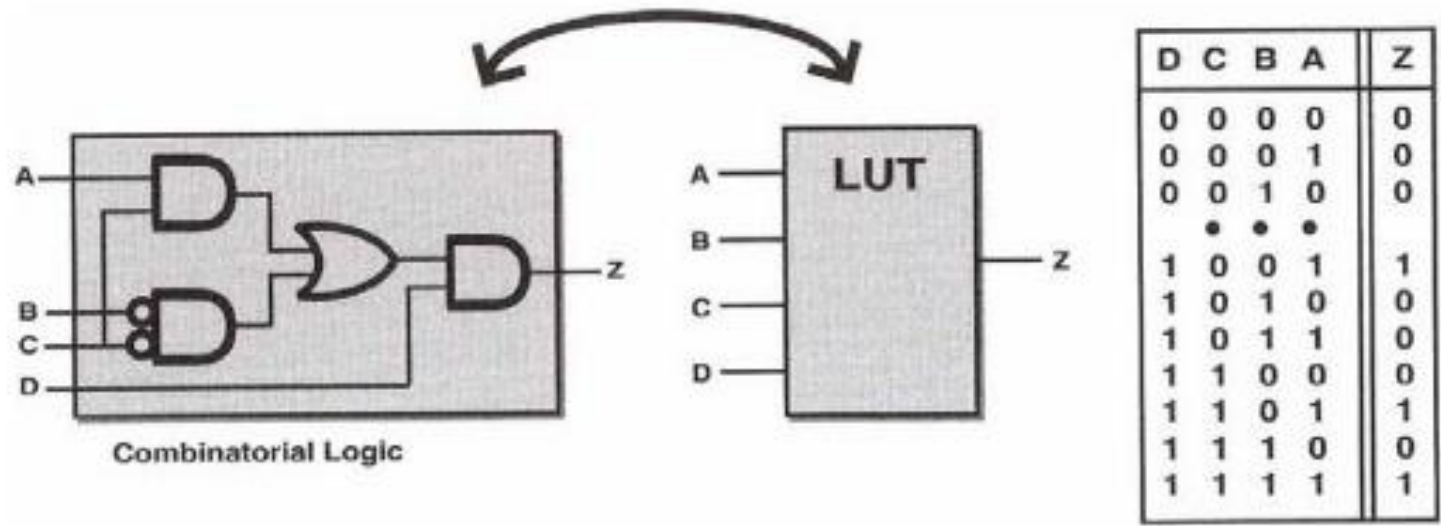
FPGAs

- Field Programmable Gate Arrays (Arreglo de compuestas programables en campo).

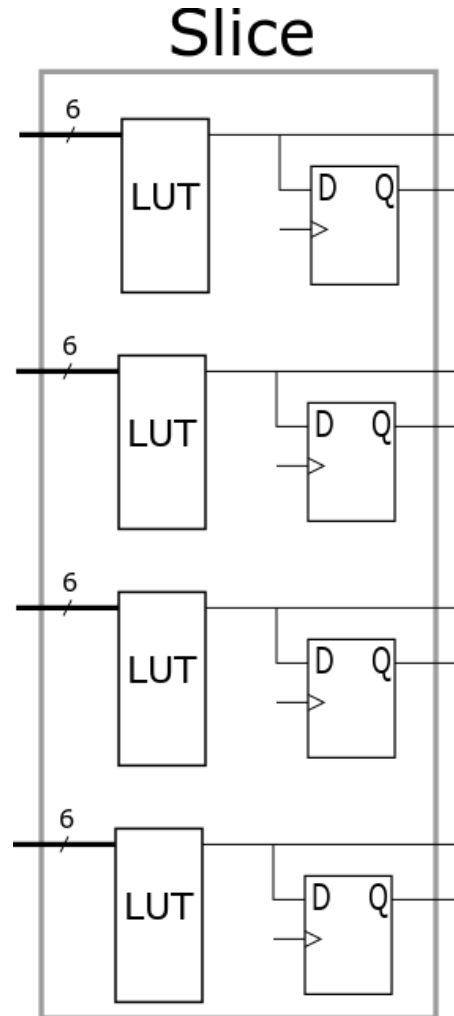
El corazón de las FPGAs



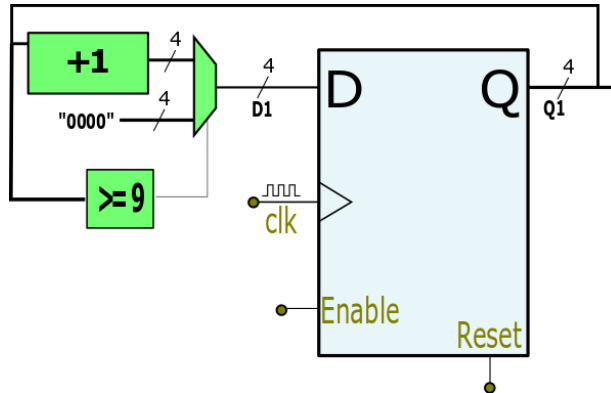
Lookup Table (Tabla de consulta)



4 LUT y 4 FF forman un SLICE



Como se implementa un diseño en una FPGA

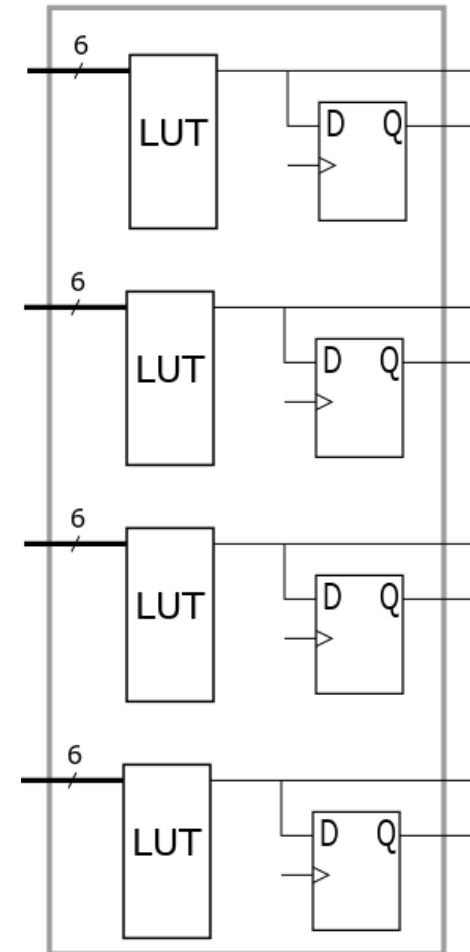


// Contador

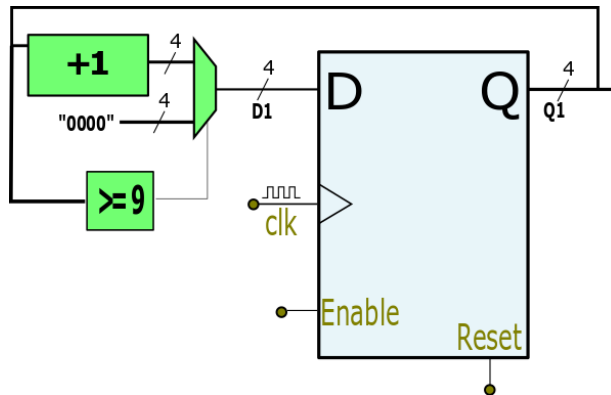
```
always @(posedge clk)
  if (reset) begin
    Q1 <= 4'd0;
  end else if (enable) begin
    Q1 <= D1;
  end
```

```
assign D1 = (Q1 >= 9) ? 4'd0 : Q1 + 1;
```

Slice



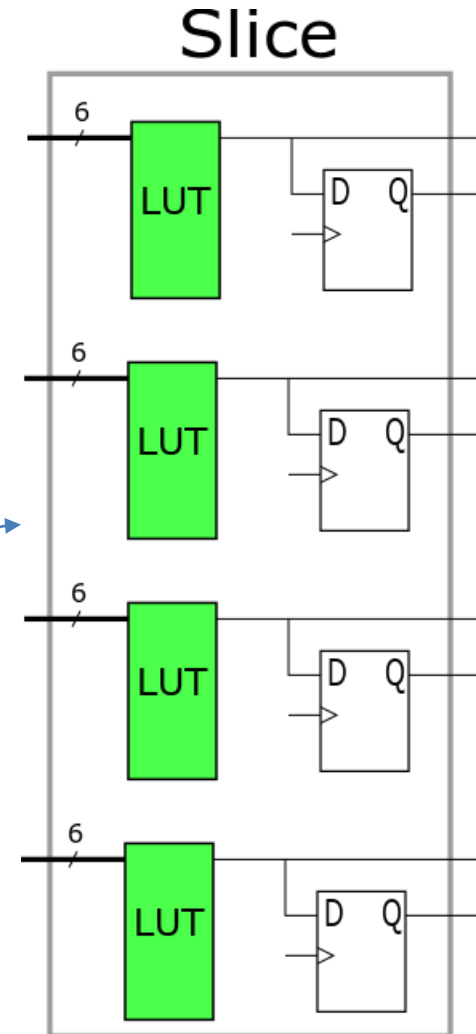
Como se implementa un diseño en una FPGA



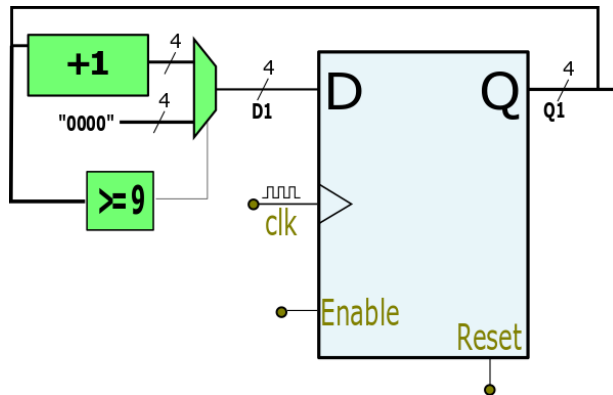
// Contador

```
always @(posedge clk)
  if (reset) begin
    Q1 <= 4'd0;
  end else if (enable) begin
    Q1 <= D1;
  end
```

```
assign D1 = (Q1 >= 9) ? 4'd0 : Q1 + 1;
```



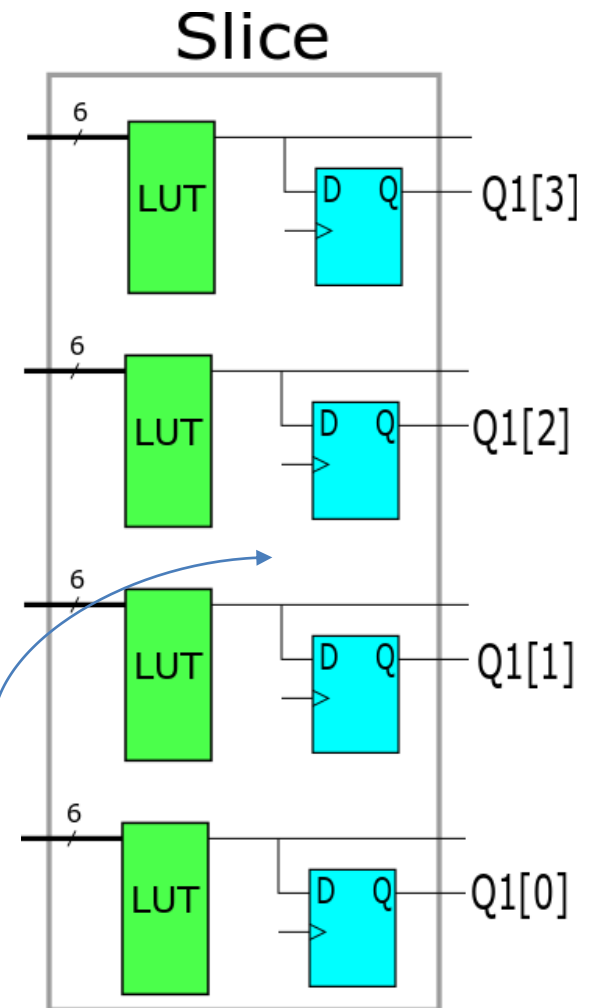
Como se implementa un diseño en una FPGA



// Contador

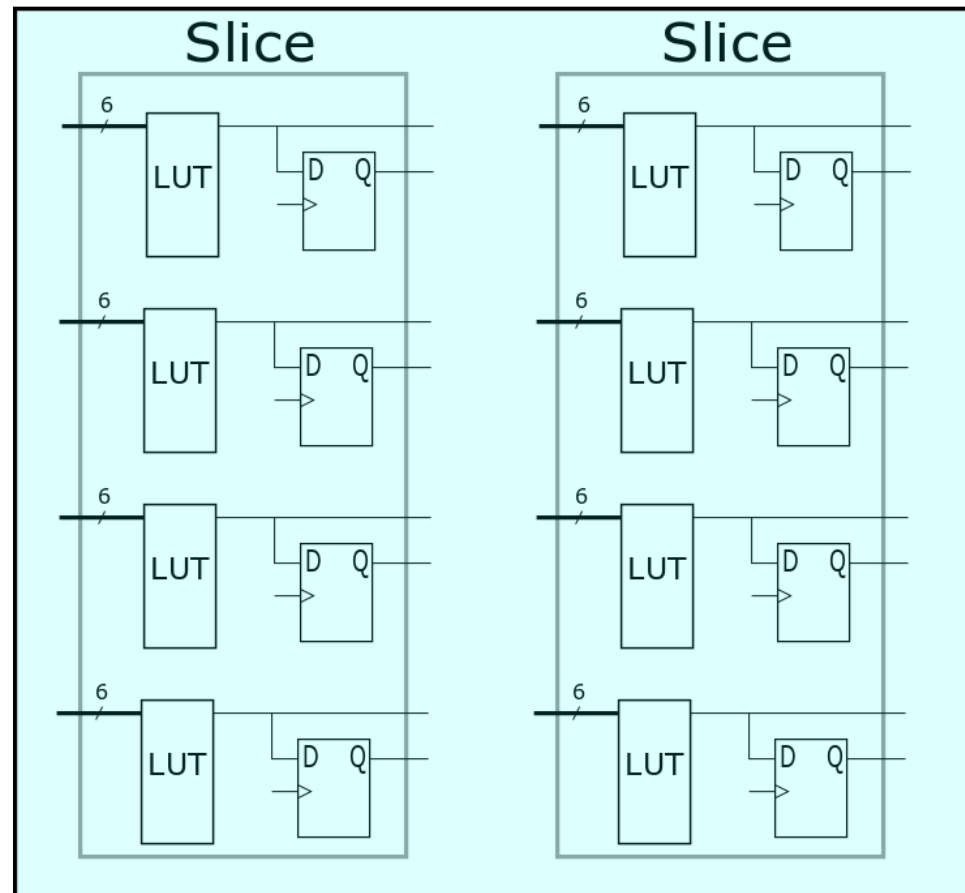
```
always @(posedge clk)
  if (reset) begin
    Q1 <= 4'd0;
  end else if (enable) begin
    Q1 <= D1;
  end
```

```
assign D1 = (Q1 >= 9) ? 4'd0 : Q1 + 1;
```

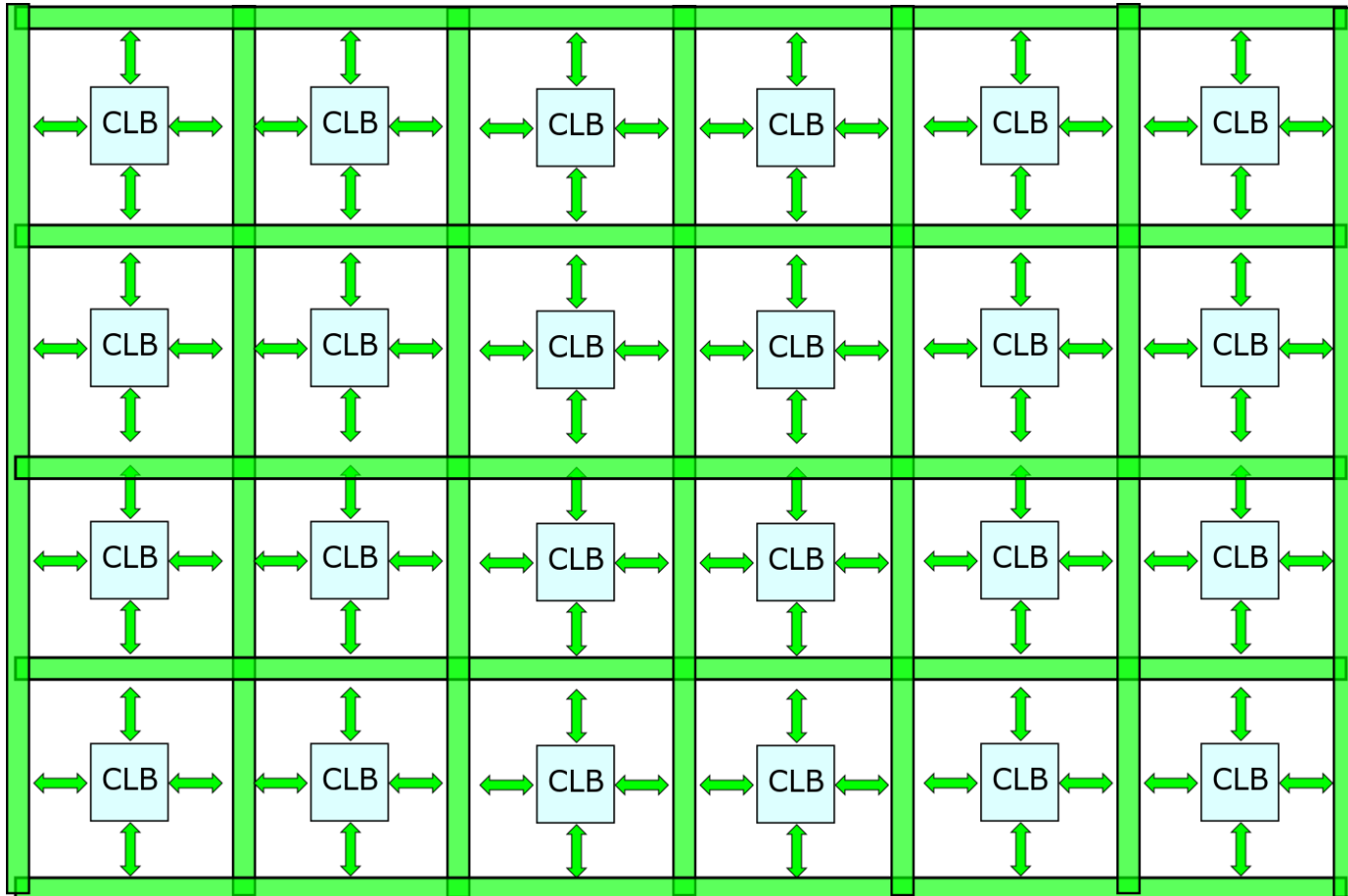


Configurable Logic Block (CLB)

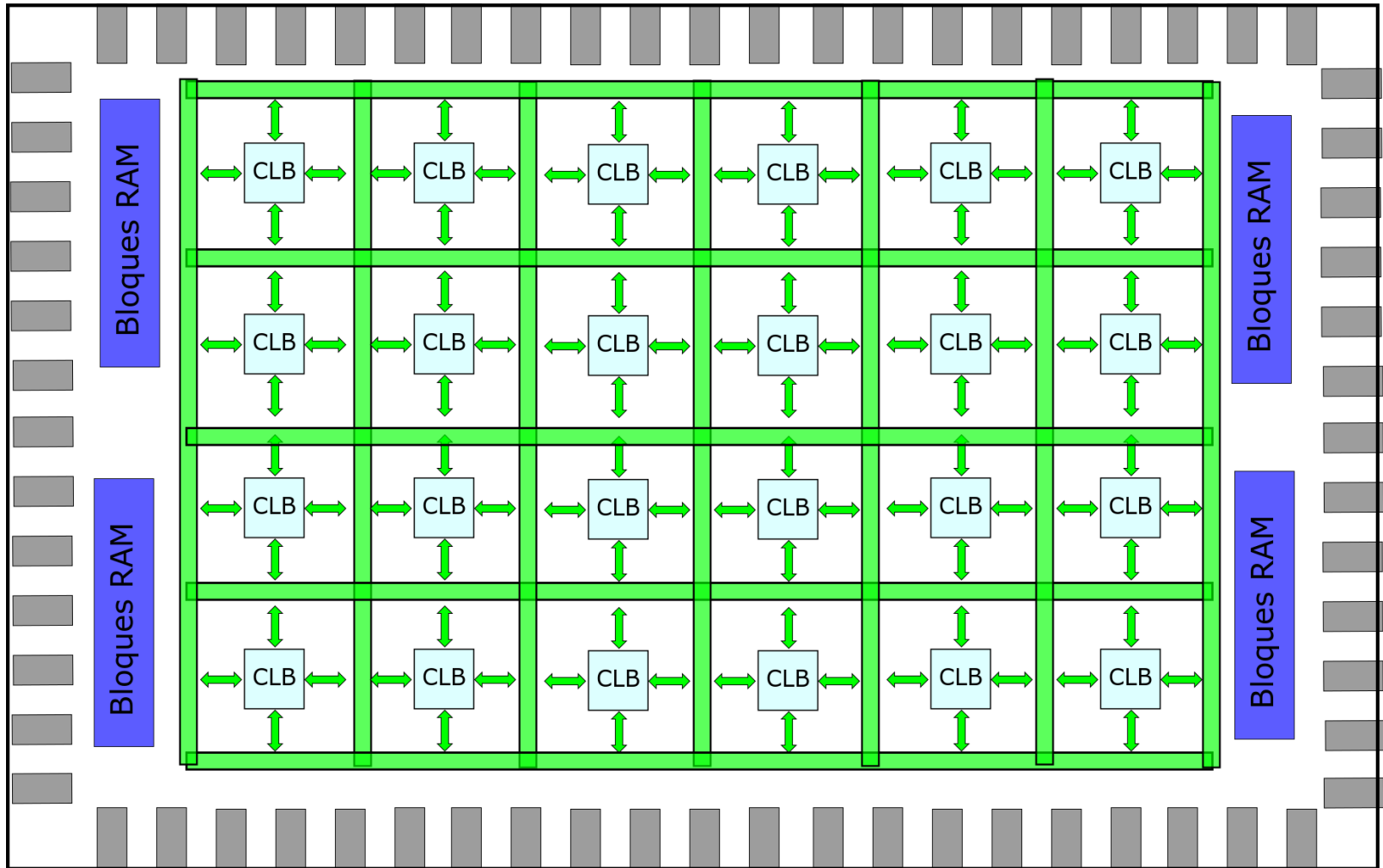
CLB



Matriz de interconexión



Bloques RAM y Bloque E/S



fin